

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 9 月 1 日 (01.09.2005)

PCT

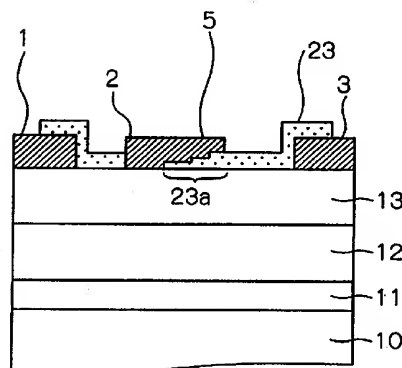
(10) 国際公開番号
WO 2005/081304 A1

- (51) 国際特許分類: H01L 21/338, (72) 発明者; および
29/423, 29/47, 29/778, 29/812, 29/872 (75) 発明者/出願人 (米国についてのみ): 岡本 康宏
(21) 国際出願番号: PCT/JP2005/002712 (OKAMOTO, Yasuhiro) [JP/JP]; 〒1088001 東京都港区
(22) 国際出願日: 2005 年 2 月 21 日 (21.02.2005) 芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
(25) 国際出願の言語: 日本語 安藤 裕二 (ANDO, Yuji) [JP/JP]; 〒1088001 東京都
(26) 国際公開の言語: 日本語 港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 宮本 広信 (MIYAMOTO, Hironobu) [JP/JP]; 〒
(30) 優先権データ: 1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 中山 達峰 (NAKAYAMA, Tatsuo) [JP/JP]; 〒
特願2004-044459 2004 年 2 月 20 日 (20.02.2004) JP 1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 井上 隆 (INOUE, Takashi) [JP/JP]; 〒
(71) 出願人 (米国を除く全ての指定国について): 日本電気 1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 葛原 正明 (KUZUHARA, Masaaki) [JP/JP]; 〒
株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP). 1 号 日本電気株式会社内 Tokyo (JP).

[続葉有]

(54) Title: FIELD EFFECT TRANSISTOR

(54) 発明の名称: 電界効果トランジスタ



(57) Abstract: Disclosed is a field effect transistor comprising a semiconductor layer structure including a GaN channel layer (12) and an AlGaIn electron supply layer (13), a source electrode (1) and a drain electrode (3) which are so formed on the electron supply layer (13) as to be separated from each other, a gate electrode (2) formed between the source electrode (1) and the drain electrode (3), and an SiON film (23) formed on the electron supply layer (13). The gate electrode (2) has a filed plate portion (5) projecting toward the drain electrode (3) side like an eave on the SiON film (23). The thickness of a portion (a field plate layer (23a)) of the SiON film (23) lying between the filed plate portion (5) and the electron supply layer (13) gradually increases from the gate electrode (2) side to the drain electrode (3) side.

(57) 要約: 電界効果トランジスタは、GaNチャネル層12とAlGaIn電子供給層13を含む半導体層構造と、電子供給層13上に互いに離間して形成されたソース電極1およびドレイン電極3と、ソース電極1とドレイン電極3との間に形成されたゲート電極2と、電子供給

[続葉有]

WO 2005/081304 A1



(74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂 1 丁目 9 番 2 0 号 第 1 6 興和ビル 8 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

層 1 3 上に形成された SiON 膜 2 3 とを有している。ゲート電極 2 は、ドレイン電極 3 側にひさし状に張り出し、かつ SiON 膜 2 3 上に形成されたフィールドプレート部 5 を有している。SiON 膜 2 3 のフィールドプレート部 5 と電子供給層 1 3 との間に位置する部分 (フィールドプレート層 2 3 a) の厚さが、ゲート電極 2 からドレイン電極 3 の方向に向かって次第に厚くなるように変化している。

明 細 書

電界効果トランジスタ

技術分野

[0001] 本発明は、III族窒化物半導体を用いた電界効果トランジスタに関するものである。

背景技術

[0002] 図1は、従来技術によるヘテロ接合電界効果トランジスタ(Hetero-Junction Field Effect Transistor; 以下、「HJFET」という。)の断面構造図である。このような従来技術のHJFETは、“2001年インターナショナル・エレクトロン・デバイス・ミーティング・ダイジェスト(IEDM01-381〜384)、安藤(Y.Ando)”に報告されている。

[0003] 図1に示す従来のHJFETは、サファイア基板109の上にAlNバッファ層111、Ga Nチャネル層112、およびAlGa N電子供給層113がこの順で積層されている。さらにAlGa N電子供給層113の上にソース電極101とドレイン電極103が形成されており、これらの電極101、103はAlGa N電子供給層113にオーム性接触している。また、ソース電極101とドレイン電極103との間にゲート電極102が形成されており、このゲート電極102はAlGa N電子供給層113にショットキー性接触している。このHJFETの最上層には、SiN膜121が表面保護膜として形成されている。

[0004] このようなAlGa N/Ga N HJFETにおいては、コラプス量とゲート耐圧との間にトレードオフが存在し、その制御が非常に困難である。AlGa N/Ga Nヘテロ接合においては、AlGa N層とGa N層との格子不整合に起因するストレスによってピエゾ分極が発生し、AlGa N/Ga N界面に2次元電子ガスが供給される。このため、素子表面にストレスを生じる保護膜を形成すると、HJFETの素子特性に影響を与える。

[0005] 図2は、表面保護膜SiNの厚さと、コラプスによる電流変化量およびゲート耐圧との関係を示すグラフである。

[0006] ここで、コラプスとは、HJFETが大信号動作する際に、表面トラップの応答によって表面に負電荷が蓄積された状態になり、最大ドレイン電流が抑制される現象である。コラプスが顕著になると大信号動作時のドレイン電流が抑制されるため、飽和出力が低下する。

- [0007] このようにコラプスが顕著な素子の表面にSiN膜を形成すると、SiN膜のストレスによってAlGaIn中のピエゾ分極電荷が増加し、表面負電荷を打ち消す効果があるため、コラプス量を減らすことができる。図2を参照すると、例えばSiN膜がない場合(膜厚0nm)ではコラプス量は60%以上であるが、SiN膜の膜厚が100nmの場合ではコラプス量は10%以下に抑制できることがわかる。
- [0008] 一方、表面負電荷はゲートドレイン間の電界集中を緩和し、ゲート耐圧を高める効果がある。このため、SiN膜を厚くして表面負電荷が打ち消されると、ゲートドレイン間の電界集中が顕著になり、ゲート耐圧が低下する。その結果、図2に示すように、コラプスとゲート耐圧との間に、SiN膜の厚さの違いによるトレードオフが存在する。
- [0009] 図3は、上記のHJFETの課題を解決するためにフィールドプレート部を付加した従来技術の他のHJFETの断面構造図である。このような従来技術のHJFETは、“2001年エレクトロニクス・レターズ(Electronics Letters vol.37 p.196-197)、Li等”に報告されている。
- [0010] このHJFETは、SiC等からなる基板110上に構成されている。基板110上には半導体層からなるバッファ層111が形成されている。このバッファ層111上にGaInチャンネル層112が形成されている。チャンネル層の上には、AlGaIn電子供給層113が形成されている。この電子供給層113上にはオーム性接触がとられたソース電極101およびドレイン電極103が設けられている。ソース電極101とドレイン電極103との間には、ドレイン電極103側にひさし状に張り出したフィールドプレート部105を有し、ショットキー性接触がとられたゲート電極102が設けられている。電子供給層113の表面はSiN膜121で覆われており、フィールドプレート部105の直下にはこのSiN膜121が存在している。
- [0011] 上記のようにフィールドプレートを付加したHJFETによれば、コラプスとゲート耐圧とのトレードオフを改善することが可能である。すなわち、大信号動作時のピンチオフ状態時にはフィールドプレート部によってゲート近傍の電界が緩和されることによりゲート耐圧が改善し、オン状態時にはフィールドプレート部によって表面電位を変調して最大のドレイン電流を流すことができる。
- [0012] 図1および図2を参照して説明したように、コラプスが顕著な素子の表面にSiN膜を

形成すると、SiN膜のストレスによってAlGaIn中のピエゾ分極電荷が増加し、表面負電荷を打ち消す効果がある一方で、SiN膜を厚くして表面負電荷が打ち消されると、ゲートドレイン間の電界集中が顕著になり、ゲート耐圧が低下してしまう。

[0013] そこで、図3に示す従来技術のようにソース電極とドレイン電極との間にフィールドプレート部を設けることが提案されているが、フィールドプレート部の直下のSiN膜の膜厚が厚い場合には十分な電界緩和効果を得ることができない。図3に示した従来のフィールドプレート構造では、30V程度の動作電圧で要求されるゲート耐圧とコラプス抑制との両立を図ることは可能であるが、50V以上の更なる高電圧による動作を実現する上で必要とされるゲート耐圧とコラプス抑制との両立を図ることは困難である。

[0014] コラプス抑制の効果はフィールドプレートの寸法が大きいほど高くなるので、フィールドプレートの寸法を大きくすることでコラプス抑制の効果をより得ることが可能である。しかしながら、フィールドプレートの寸法がゲート電極とドレイン電極との間隔の70%を超えると、ゲート耐圧がフィールドプレートとドレイン電極との間の電界集中で決まるため、逆にゲート耐圧が低下する傾向がある。そのため、フィールドプレートの寸法を大きくすることによるコラプス抑制には限界がある。

発明の開示

[0015] 本発明の目的は、より高い電圧による動作を実現する上で必要とされるゲート耐圧とコラプス抑制との両立を図ることが可能な電界効果トランジスタを提供することにある。

[0016] 上記目的を達成するため、本発明の電界効果トランジスタは、ヘテロ接合を含むIII族窒化物半導体層構造と、該半導体層構造上に互いに離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極との間に形成されたゲート電極と、前記半導体層構造上に形成された絶縁膜と、を有する電界効果トランジスタにおいて、前記ゲート電極は、前記ドレイン電極側にひさし状に張り出し、かつ前記絶縁膜上に形成されたフィールドプレート部を有しており、前記絶縁膜の前記フィールドプレート部と前記半導体層構造との間に位置する部分の厚さが、前記ゲート電極から前記ドレイン電極の方向に向かって次第に厚くなるように変化していることを

特徴とする。

- [0017] 本発明の電界効果トランジスタによれば、フィールドプレート部を設けることにより、ゲートドレイン間に高い逆方向電圧がかかった場合、ゲート電極のドレイン電極側の端部にかかる電界がフィールドプレート部の働きによって緩和されるので、ゲート耐圧が向上する。さらに、大信号動作時にはゲート直近の表面電位がフィールドプレート部によって特に効果的に変調されるため、表面トラップの応答によるコラプスの発生を抑制することができる。
- [0018] さらに、本発明の電界効果トランジスタによれば、電界が最も集中するゲート電極の近傍の領域における絶縁膜、すなわちフィールドプレート部の直下の絶縁膜の膜厚が、ゲート電極からドレイン電極の方向に向かって次第に厚くなるように変化しているので、その領域における絶縁膜の膜厚が他の領域の絶縁膜よりも薄くなり、この領域で表面負電荷とフィールドプレート部との双方の働きによって電界集中を緩和し、ゲート耐圧を改善することができる。なお、表面負電荷はコラプスを引き起こす要因であるが、表面負電荷が生じるのはゲート電極の直近であり、かつゲート電極の近傍の領域における絶縁膜は比較的薄いためにフィールドプレート部によって効果的に表面電位を変調することができるので、コラプスを抑制することが可能である。
- [0019] このように、本発明の電界効果トランジスタによれば、ゲート耐圧とコラプス抑制との両立をより一層良好に図ることでき、従来よりも高い電圧による動作を実現することが可能になる。
- [0020] さらに、前記半導体層構造はAlGa_N/Ga_Nヘテロ構造を有している構成としてもよい。
- [0021] さらに、前記絶縁膜の前記部分の厚さが階段状に変化している構成としてもよく、あるいは、前記絶縁膜の前記部分の厚さが連続的に変化している構成としてもよい。
- [0022] また、前記絶縁膜がSiON膜、SiO₂膜またはSiN膜、あるいはSiN膜とSiO₂膜との積層膜からなる構成としてもよい。
- [0023] また、前記ゲート電極と前記ドレイン電極との間の前記絶縁膜の上には、前記ドレイン電極に接続されたドレインフィールドプレート電極が設けられている構成としてもよい。

い。この構成によれば、ドレインフィールドプレート電極によってドレイン電極端の電界集中を緩和できるので、ゲート電極側のフィールドプレートだけを備えた構成に比べて、耐圧特性を改善することができ、より高い電圧での動作が可能となる。また、利得低下に関する影響はゲート電極側のフィールドプレートの方が大きいことから、ドレインフィールドプレート電極を設けてゲート電極側のフィールドプレートの長さを短くすることにより、耐圧特性を維持しつつ利得を改善することも可能となる。

図面の簡単な説明

- [0024] [図1]従来技術によるヘテロ接合電界効果トランジスタの断面構造図である。
- [図2]表面保護膜SiNの厚さと、コラプスによる電流変化量およびゲート耐圧との関係を示すグラフである。
- [図3]フィールドプレート部を付加した従来技術の他のHJFETの断面構造図である。
- [図4]本発明の第1の実施形態に係るHJFETの断面構造図である。
- [図5]本発明の第2の実施形態に係るHJFETの断面構造図である。
- [図6]図5に示したHJFETの変形例の断面構造図である。
- [図7]本発明の第3の実施形態に係るHJFETの断面構造図である。
- [図8]図7に示したHJFETの変形例の断面構造図である。
- [図9]図7に示したHJFETの変形例の断面構造図である。
- [図10]図7に示したHJFETの変形例の断面構造図である。

発明を実施するための最良の形態

- [0025] 本発明の実施形態について図面を参照して説明する。
- [0026] (第1の実施形態)
- 図4は、本発明の第1の実施形態に係るHJFETの断面構造図である。
- [0027] 本実施形態のHJFETは、SiC等からなる基板10上に構成される。基板10上には半導体からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。GaNチャネル層12の上には、AlGaIn電子供給層13が形成されている。このAlGaIn電子供給層13上にはオーム性接触がとられたソース電極1およびドレイン電極3が設けられている。ソース電極1とドレイン電極3との間には、ドレイン電極3側にひさし状に張り出したフィールドプレート部5を有し、ショットキー

性接触がとられたゲート電極2が設けられている。AlGa_{0.2}N_{0.8}電子供給層13の表面は絶縁膜であるSiON膜23で覆われており、フィールドプレート5の直下のSiON膜23(フィールドプレート層23a)は、ゲート電極2側からドレイン電極3側に向かって階段状に厚くなっている。

[0028] 本実施形態のHJFETは、以下のように形成される。

[0029] まず、SiC等からなる基板10上に、例えば分子線エピタキシ(Molecular Beam Epitaxy; MBE)成長法によって半導体を成長させる。このようにして形成した半導体層は、基板10側から順に、アンドープのAlNからなるバッファ層11(膜厚20nm)、アンドープのGa_{0.2}N_{0.8}からなるチャネル層12(膜厚2μm)、アンドープのAl_{0.2}Ga_{0.8}NからなるAlGa_{0.2}N_{0.8}供給層13(膜厚25nm)である。

[0030] 次いで、エピタキシャル層構造の一部をGa_{0.2}N_{0.8}チャネル層12が露出するまでエッチング除去することにより、素子間分離メサ(不図示)を形成する。続いて、AlGa_{0.2}N_{0.8}電子供給層13上に、例えばTi/Alなどの金属を蒸着することによってソース電極1およびドレイン電極3を形成し、650℃でアニールを行うことでオーム性接触を取る。

[0031] 続いて、SiON膜23(膜厚150nm)をプラズマCVD法等によって形成する。SiON膜23のうちフィールドプレート部5に覆われる部分であるフィールドプレート層23aの膜厚をエッチングによって階段状に変え、完全に除去して露出したAlGa_{0.2}N_{0.8}電子供給層13上に例えばNi/Auなどの金属を蒸着して、フィールドプレート部5を有するショットキー接触のゲート電極2を形成する。本実施形態では、図4に示すように、フィールドプレート層23aの厚さをゲート電極2からドレイン電極3の方に向かうにつれて次第に厚くなるように3段階に階段状に変化させている。

[0032] このようにして、図4に示したHJFETを作製する。

[0033] 本実施形態のようにフィールドプレート部5を設けることにより、ゲートドレイン間に高い逆方向電圧がかかった場合、ゲート電極2のドレイン電極3側の端部にかかる電界がフィールドプレート部5の働きによって緩和されることにより、ゲート耐圧が向上する。さらに、大信号動作時にはゲート直近の表面電位がフィールドプレート部5によって特に効果的に変調されるため、表面トラップの応答によるコラプスの発生を抑制することができる。

- [0034] 加えて、本実施形態によれば、電界が最も集中するゲート電極2の近傍の領域におけるSiON膜23、すなわちフィールドプレート部5の直下のSiON膜23であるフィールドプレート層23aを他の領域のSiON膜23よりも薄くすることで、この領域で表面負電荷とフィールドプレート部5との双方の働きによって電界集中を緩和し、ゲート耐圧を改善することが可能である。なお、表面負電荷はコラプスを引き起こす要因であるが、表面負電荷が生じるのはゲート電極2の直近であり、かつフィールドプレート層23aは比較的薄いためにフィールドプレート部5によって効果的に表面電位を変調することができるので、コラプスを抑制することが可能である。
- [0035] 本実施形態のようにフィールドプレート層23aの厚さを階段状に変化させている構成では、フィールドプレート層23aの膜厚が最も薄い部分(第1段目の部分)の、ゲート電極2とドレイン電極3との間に延びる方向の寸法を $0.3\mu\text{m}$ 以上とすることが好ましい。さらには、フィールドプレート層23aの膜厚が最も薄い部分の上記寸法を $0.5\mu\text{m}$ 以上とすることが好ましい。また、ドレイン電極3側に延びるフィールドプレート部5の全体寸法は $0.5\mu\text{m}$ 以上とすることが好ましく、さらにはフィールドプレート部5の全体寸法は $0.7\mu\text{m}$ 以上とすることが好ましい。また、フィールドプレート部5の端部は、ドレイン電極3にオーバーラップしない位置とすることが好ましい。
- [0036] フィールドプレート部5の寸法が大きいほどコラプス抑制の効果は高いが、ゲート耐圧はフィールドプレート部5とドレイン電極3の間の電界集中で決まるため、フィールドプレート部5のドレイン電極3側の端部がゲート電極2とドレイン電極3の間隔の70%を超えると、逆にゲート耐圧が低下する傾向がある。このため、フィールドプレート部5の寸法をゲート電極2とドレイン電極3の間隔の70%以下とすることが好ましい。
- [0037] 本実施形態では、フィールドプレート部5の直下のSiON膜23からなるフィールドプレート層23aの厚さをゲート電極2からドレイン電極3の方に向かうにつれて次第に厚くなるように3段階に変化させているが、その厚みが少なくとも2段階に変化する構成を有していれば同様の効果を得ることができる。また、本実施形態ではフィールドプレート層23aを構成する絶縁膜としてSiON膜を用いた例を示したが、SiON膜に代えてSiN膜、SiO₂膜、あるいはSiN膜とSiO₂膜との積層膜を用いた場合にも同様の効果を得ることができる。

[0038] (第2の実施形態)

図5は、本発明の第2の実施形態に係るHJFETの断面構造図である。

[0039] 本実施形態のHJFETは、SiC等からなる基板10上に構成される。基板10上には半導体からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。GaNチャネル層12の上には、AlGaN電子供給層13が形成されている。このAlGaN電子供給層13上にはオーム性接触がとられたソース電極1およびドレイン電極3が設けられている。ソース電極1とドレイン電極3との間には、ドレイン電極3側にひさし状に張り出したフィールドプレート部5を有し、ショットキー性接触がとられたゲート電極2が設けられている。AlGaN電子供給層13の表面は絶縁膜であるSiON膜23で覆われており、フィールドプレート5の直下のSiON膜23(フィールドプレート層23a)は、ゲート電極2側からドレイン電極3側に向かって連続的に厚くなっている。

[0040] 本実施形態のHJFETは、以下のように形成される。

[0041] まず、SiC等からなる基板10上に、例えば分子線エピタキシ(MBE)成長法によって半導体を成長させる。このようにして形成した半導体層は、基板10側から順に、アンドープのAlNからなるバッファ層11(膜厚20nm)、アンドープのGaNからなるチャネル層12(膜厚2 μ m)、アンドープの $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ からなるAlGaN供給層13(膜厚25nm)である。

[0042] 次に、エピタキシャル層構造の一部をGaNチャネル層12が露出するまでエッチング除去することにより、素子間分離メサ(不図示)を形成する。続いて、AlGaN電子供給層13上に、例えばTi/Alなどの金属を蒸着することによってソース電極1およびドレイン電極3を形成し、650°Cでアニールを行うことでオーム性接触を取る。

[0043] 続いて、SiON膜23(膜厚150nm)をプラズマCVD法等によって形成する。SiON膜23のうちフィールドプレート部5に覆われる部分をテーパー状にエッチングすることで、ゲート電極2側からドレイン電極3側に向かって膜厚が連続的に厚くなるフィールドプレート層23aを形成するとともに、AlGaN電子供給層13の一部を露出させ、露出したAlGaN電子供給層13上に例えばNi/Auなどの金属を蒸着して、フィールドプレート部5を有するショットキー接触のゲート電極2を形成する。

- [0044] このようにして、図5に示したHJFETを作製する。
- [0045] 本実施形態においても、フィールドプレート部5を設けることにより、ゲートドレイン間に高い逆方向電圧がかかった場合、ゲート電極2のドレイン電極3側の端部にかかる電界がフィールドプレート部5の働きによって緩和されることにより、ゲート耐圧が向上する。さらに、大信号動作時にはゲート直近の表面電位がフィールドプレート部5によって特に効果的に変調されるため、表面トラップの応答によるコラプスの発生を抑制することができる。
- [0046] 加えて、電界が最も集中するゲート電極2の近傍の領域におけるSiON膜23、すなわちフィールドプレート部5の直下のSiON膜23であるフィールドプレート層23aを他の領域のSiON膜23よりも薄くすることで、この領域で表面負電荷とフィールドプレート部5との双方の働きによって電界集中を緩和し、ゲート耐圧を改善することが可能である。なお、表面負電荷はコラプスを引き起こす要因であるが、表面負電荷が生じるのはゲート電極2の直近であり、かつフィールドプレート層23aは比較的薄いためにフィールドプレート部5によって効果的に表面電位を変調することができるので、コラプスを抑制することが可能である。
- [0047] 本実施形態のようにフィールドプレート層23aの厚さを連続的に変化させている構成では、フィールドプレート層23aの膜厚が変化する領域の、ゲート電極2とドレイン電極3との間に延びる方向の寸法を $0.3\mu\text{m}$ 以上とすることが好ましい。さらには、フィールドプレート層23aの膜厚が変化する領域の上記寸法を $0.5\mu\text{m}$ 以上とすることが好ましい。また、フィールドプレート部5の端部は、ドレイン電極3にオーバーラップしない位置とすることが好ましい。さらに、第1の実施形態で説明した理由により、フィールドプレート部5の寸法をゲート電極2とドレイン電極3の間隔の70%以下とすることが好ましい。
- [0048] 本実施形態では、フィールドプレート部5の直下の全域にわたってフィールドプレート層23aの厚さを変化させているが、フィールドプレート部5の直下の少なくとも一部の領域においてフィールドプレート層23aの厚さを変化させる構成であれば同様の効果を得ることができる。また、本実施形態ではフィールドプレート部5がドレイン電極3側にひさし状に張り出す構成になっているが、フィールドプレート部5がソース電極1

側にひさし状に張り出す構成としてもよい。また、本実施形態ではフィールドプレート層23aを構成する絶縁膜としてSiON膜を用いた例を示したが、SiON膜に代えてSiN膜、SiO₂膜またはSiN膜、あるいはSiN膜とSiO₂膜との積層膜を用いた場合にも同様の効果を得ることができる。

[0049] 図6は図5に示したHJFETの変形例の断面構造図である。本実施形態のフィールドプレート層23aはゲート電極2の端部において極めて薄い構成であるが、図6に示すようにゲート電極2の近傍においてフィールドプレート層23aに一定の厚みを確保した上でフィールドプレート部5の下領域で厚さを変化させても良い。このような構成とすることでゲート電極2の近傍における容量低減による利得改善と、フィールドプレート層23aの破壊に起因する耐圧を改善できる。ゲート電極近傍のフィールドプレート層23aの厚さは10nm以上とすることが好ましく、更には50nm以上とすることが好ましい。

[0050] (第3の実施形態)

図7は、本発明の第3の実施形態に係るHJFETの断面構造図である。

[0051] 本実施形態のHJFETは、SiC等からなる基板10上に構成される。基板10上には半導体からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。GaNチャネル層12の上には、AlGaN電子供給層13が形成されている。このAlGaN電子供給層13上にはオーム性接触がとられたソース電極1およびドレイン電極3が設けられている。ソース電極1とドレイン電極3との間には、ドレイン電極3側にひさし状に張り出したフィールドプレート部5を有し、ショットキー性接触がとられたゲート電極2が設けられている。AlGaN電子供給層13の表面は絶縁膜であるSiON膜23で覆われており、フィールドプレート5の直下のSiON膜23(フィールドプレート層23a)は、ゲート電極2側からドレイン電極3側に向かって連続的に厚くなっている。また、ゲート電極2とドレイン電極3との間のSiON膜23の上には、ドレイン電極3に接続されたドレインフィールドプレート電極6が設けられている。

[0052] 本実施形態のHJFETは、以下のように形成される。

[0053] まず、SiC等からなる基板10上に、例えば分子線エピタキシ(MBE)成長法によって半導体を成長させる。このようにして形成した半導体層は、基板10側から順に、ア

ンドープのAlNからなるバッファ層11(膜厚20nm)、アンドープのGaNからなるチャネル層12(膜厚2 μ m)、アンドープのAl_{0.2}Ga_{0.8}NからなるAlGa_{0.2}N供給層13(膜厚25nm)である。

[0054] 次いで、エピタキシャル層構造の一部をGa_{0.2}Nチャネル層12が露出するまでエッチング除去することにより、素子間分離メサ(不図示)を形成する。続いて、AlGa_{0.2}N電子供給層13上に、例えばTi/AIなどの金属を蒸着することによってソース電極1およびドレイン電極3を形成し、650℃でアニールを行うことでオーム性接触を取る。

[0055] 続いて、SiON膜23(膜厚150nm)をプラズマCVD法等によって形成する。SiON膜23のうちフィールドプレート部5に覆われる部分をテーパ状にエッチングすることで、ゲート電極2側からドレイン電極3側に向かって膜厚が連続的に厚くなるフィールドプレート層23aを形成するとともに、AlGa_{0.2}N電子供給層13の一部を露出させ、露出したAlGa_{0.2}N電子供給層13上に例えばNi/Auなどの金属を蒸着して、フィールドプレート部5を有するショットキー接触のゲート電極2を形成する。その後、ドレイン電極3の上のSiON膜23の一部をエッチングにより除去し、例えばTi/Auなどの金属を蒸着することにより、ドレインフィールドプレート電極6を形成する。

[0056] このようにして、図7に示したHJFETを作製する。

[0057] 本実施形態の構成によれば、ドレインフィールドプレート電極6によってドレイン電極3端の電界集中を緩和できるので、上述した第1および第2の実施形態のようにゲート電極2側のフィールドプレート5だけを備えた構成に比べて、耐圧特性を改善することができ、より高い電圧での動作が可能となる。また、利得低下に関する影響はゲート電極2側のフィールドプレート5の方が大きいことから、本実施形態のようにドレインフィールドプレート電極6を設けてフィールドプレート5の長さを短くすることにより、耐圧特性を維持しつつ利得を改善することも可能となる。

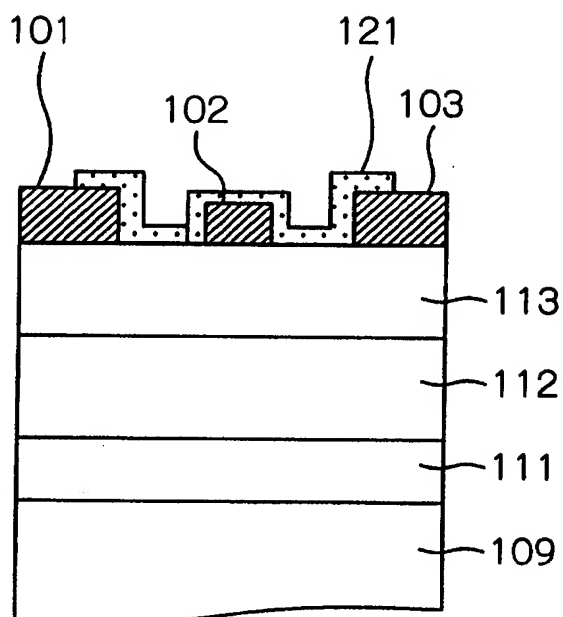
[0058] 図8は図7に示したHJFETの変形例の断面構造図である。本実施形態のドレインフィールドプレート電極6は、図8に示すようにフィールドプレート5の直下のSiON膜23(フィールドプレート層23a)がゲート電極2側からドレイン電極3側に向かって階段状に厚くなっている構成のHJFETにおいても同様に適用可能である。図9は図7に示したHJFETの別の変形例の断面構造である。本実施形態のドレインフィールドブ

レート電極6は、図9に示すようにゲート電極2の近傍のフィールドプレート層23aに一定の厚みを確保した構成のHJFETにおいても同様に適用可能である。更には図10に示すように、フィールドプレート層23aの厚みが変わらない構成のHJFETにおいてもドレインフィールドプレート電極6を同様に適用することが可能である。

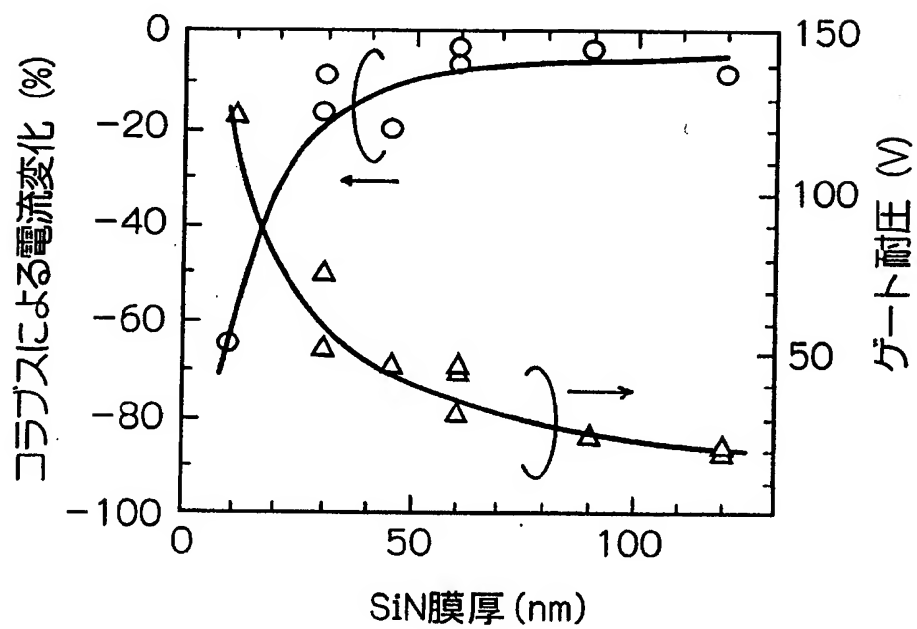
請求の範囲

- [1] ヘテロ接合を含むIII族窒化物半導体層構造と、該半導体層構造上に互いに離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極との間に形成されたゲート電極と、前記半導体層構造上に形成された絶縁膜と、を有する電界効果トランジスタにおいて、
- 前記ゲート電極は、前記ドレイン電極側にひさし状に張り出し、かつ前記絶縁膜上に形成されたフィールドプレート部を有しており、
- 前記絶縁膜の前記フィールドプレート部と前記半導体層構造との間に位置する部分の厚さが、前記ゲート電極から前記ドレイン電極の方向に向かって次第に厚くなるように変化していることを特徴とする電界効果トランジスタ。
- [2] 前記半導体層構造はAlGa_N/Ga_Nヘテロ構造を有している、請求項1に記載の電界効果トランジスタ。
- [3] 前記絶縁膜の前記部分の厚さが階段状に変化している、請求項1または2に記載の電界効果トランジスタ。
- [4] 前記絶縁膜の前記部分の厚さが連続的に変化している、請求項1または2に記載の電界効果トランジスタ。
- [5] 前記絶縁膜がSiON膜からなる、請求項1から4のいずれか1項に記載の電界効果トランジスタ。
- [6] 前記絶縁膜がSiO₂膜またはSiN膜からなる、請求項1から4のいずれか1項に記載の電界効果トランジスタ。
- [7] 前記絶縁膜がSiN膜とSiO₂膜との積層膜からなる、請求項1から4のいずれか1項に記載の電界効果トランジスタ。
- [8] 前記ゲート電極と前記ドレイン電極との間の前記絶縁膜の上には、前記ドレイン電極に接続されたドレインフィールドプレート電極が設けられている、請求項1から7のいずれか1項に記載の電界効果トランジスタ。

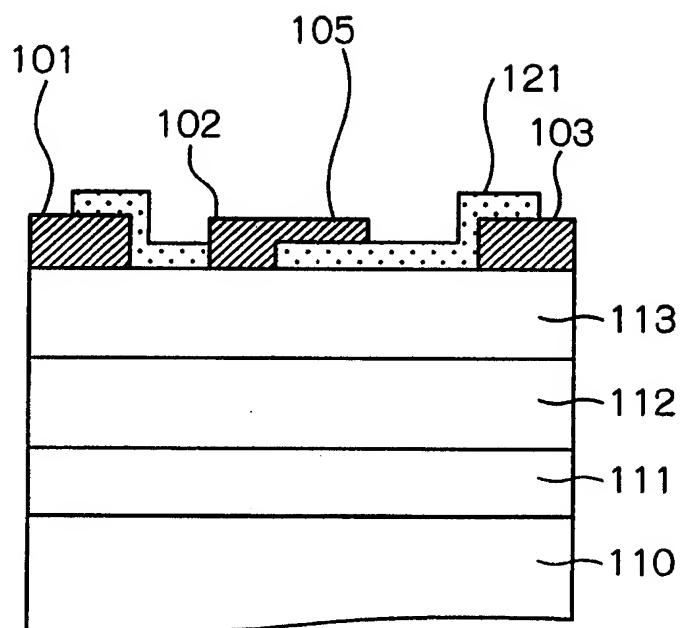
[図1]



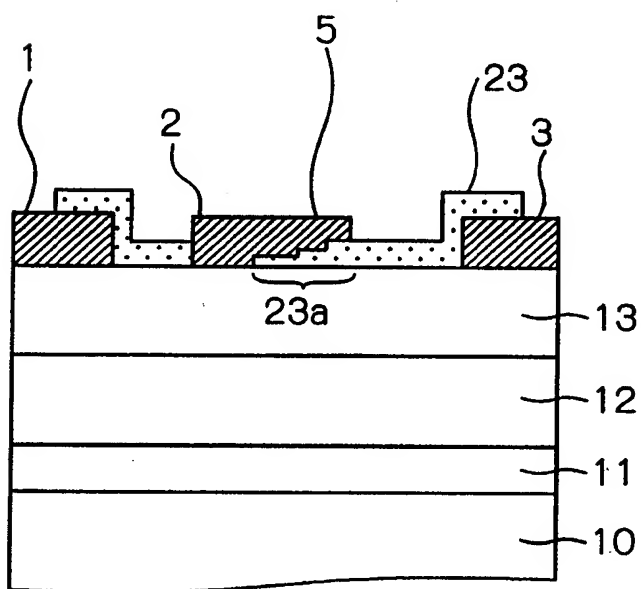
[図2]



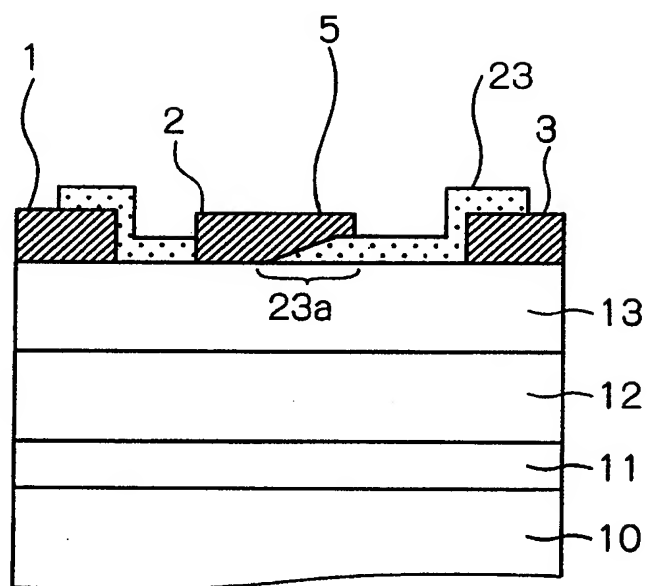
[図3]



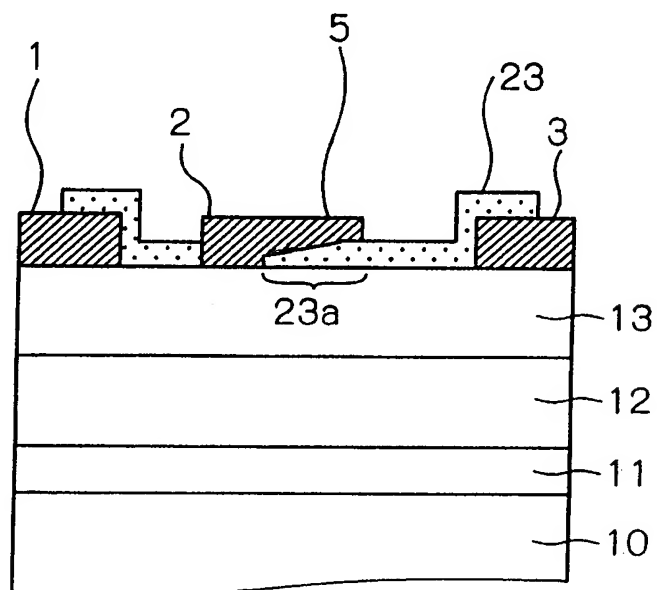
[図4]



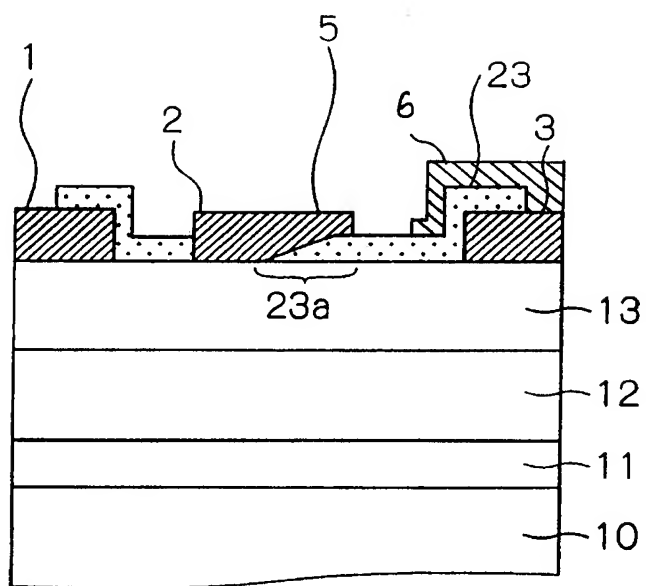
[図5]



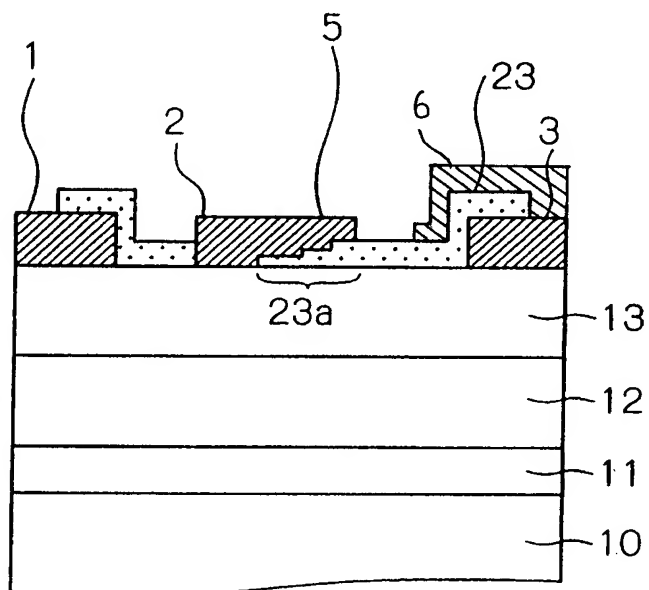
[図6]



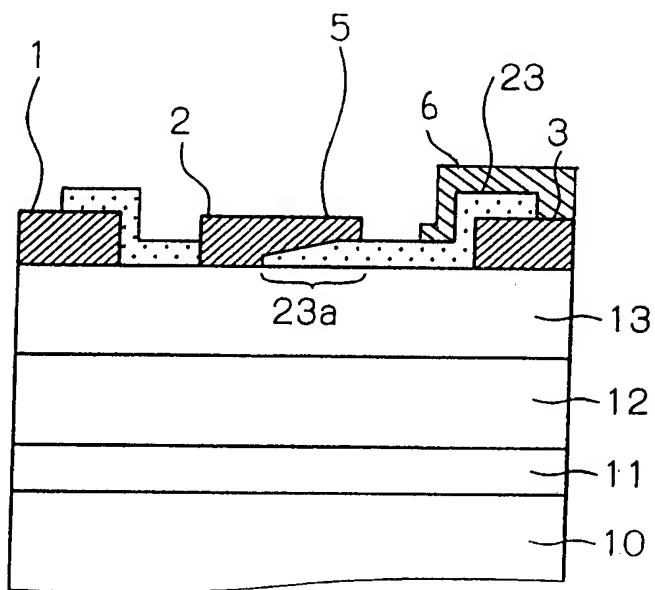
[図7]



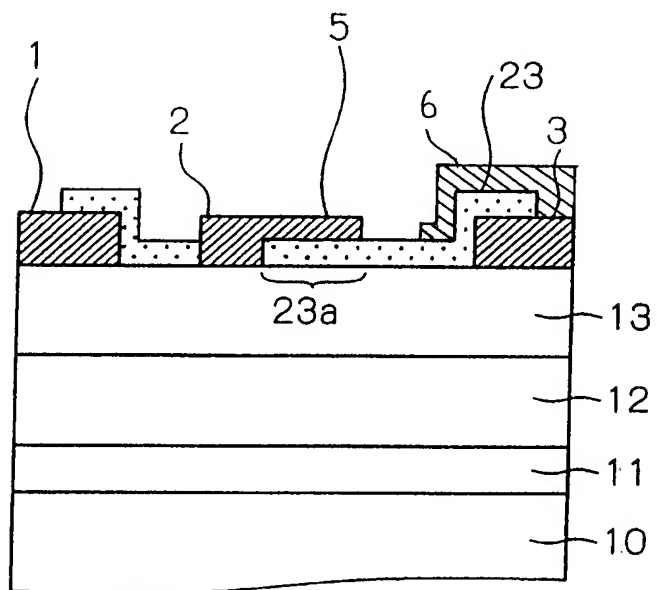
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002712

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/338, 29/423, 29/47, 29/778, 29/812, 29/872

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/338, 29/423, 29/47, 29/778, 29/812, 29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2000-100831 A (NEC Corp.), 07 April, 2000 (07.04.00), Par. Nos. [0049] to [0055]; Figs. 4, 5 & US 6483135 B1	1-7 8
Y A	JP 2001-308110 A (Ricoh Co., Ltd.), 02 November, 2001 (02.11.01), Par. Nos. [0009] to [0014]; Figs. 1, 3 (Family: none)	1-3, 5-7 8
Y A	JP 2004-22773 A (NEC Corp.), 22 January, 2004 (22.01.04), Fig. 1 & WO 2003/107431 A1	1-7 8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 May, 2005 (11.05.05)Date of mailing of the international search report
24 May, 2005 (24.05.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002712

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-273130 A (Matsushita Electric Industrial Co., Ltd.), 26 September, 2003 (26.09.03), Par. No. [0027] (Family: none)	5
A	JP 7-321126 A (Mitsubishi Electric Corp.), 08 December, 1995 (08.12.95), Claim 1; Fig. 1 (Family: none)	8

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl.⁷ H01L21/338, 29/423, 29/47, 29/778, 29/812, 29/872

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int.Cl.⁷ H01L21/338, 29/423, 29/47, 29/778, 29/812, 29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2 0 0 0 - 1 0 0 8 3 1 A (日本電気株式会社) 2 0 0 0 . 0 4 . 0 7 , 段落【0049】 - 【0055】, 図4, 図5	1-7
A	& US 6 4 8 3 1 3 5 B 1	8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

11.05.2005

国際調査報告の発送日

24.5.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

長谷山 健

電話番号 03-3581-1101 内線 3498

4 L

3448

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2001-308110 A (株式会社リコー) 2001. 11. 02, 段落【0009】－【0014】, 図1, 図 3 (ファミリーなし)	1-3, 5- 7
A		8
Y	J P 2004-22773 A (日本電気株式会社) 2004. 01. 22, 図1 & WO 2003/107431 A1	1-7
A		8
Y	J P 2003-273130 A (松下電器産業株式会社) 2003. 09. 26, 段落【0027】 (ファミリーなし)	5
A	J P 7-321126 A (三菱電機株式会社) 1995. 12. 08, 請求項1, 図1 (ファミリーなし)	8